

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134244

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09F 9/35

G09G 3/20

(21)Application number : 11-318513

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.11.1999

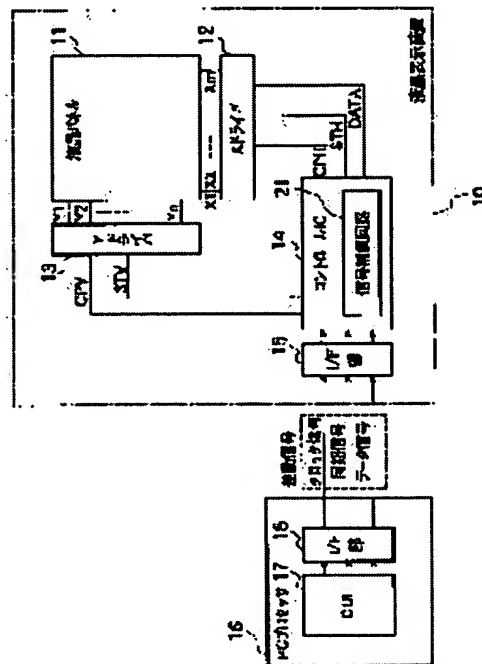
(72)Inventor : UEDA TOMOYUKI

(54) PLANAR DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a flickering of screen display caused by intrusion of noise into synchronizing signals and an erroneous conversion and to obtain a good display image on a planar display device which conducts image display based on data and synchronizing signals transmitted from a control circuit.

SOLUTION: Synchronizing signals transmitted from a PC processor 16 are monitored by a signal compensating circuit 21 of a control IC14. When an abnormality is detected in signal waveforms, data and synchronizing signals being transmitted are fixed to an L or an H level in one frame scanning interval only and outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-134244

(P2001-134244A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 F 9/35		G 0 9 F 9/35	Z 5 C 0 8 0
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20	6 7 0 G

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-318513

(22) 出願日 平成11年11月9日 (1999.11.9)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 上田 知幸

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

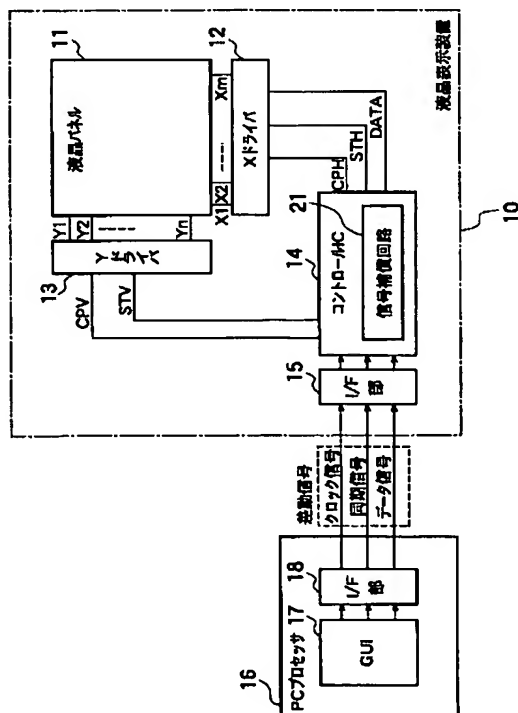
最終頁に続く

(54) 【発明の名称】 平面表示装置及びその駆動方法

(57) 【要約】

【課題】 制御回路から送信されたデータ信号や同期信号をもとに画像表示を行う平面表示装置において、同期信号へのノイズの混入や誤変換による画面表示のちらつきをなくし、良好な表示画像が得られるようにする。

【解決手段】 PCプロセッサ16から送られてきた同期信号をコントロールIC14の信号補償回路21で監視し、信号波形の異常を検出したときには、送られてきたデータ信号と同期信号を1フレーム走査期間だけL又はHレベルに固定して出力するようにした。



【特許請求の範囲】

【請求項 1】 画素電極、対向電極及びこれら電極間に介在された光変調層を含む表示画素がマトリクス状に配置された表示パネルと、外部から少なくともデータ信号、同期信号及びクロック信号を入力し、前記表示パネルの各画素電極に、前記データ信号に基づく信号電圧を前記同期信号及びクロック信号に同期して出力する駆動回路部とを備えた平面表示装置において、前記駆動回路部は、外部から入力した前記同期信号の異常を検出したときには、少なくとも前記データ信号及び同期信号を所定期間一定レベルに固定する信号補償回路を含むことを特徴とする平面表示装置。

【請求項 2】 前記信号補償回路は、外部から入力した前記同期信号の異常を標準信号に基づいて検出する信号比較回路と、前記信号比較回路により同期信号の異常が検出されたときに、少なくとも前記データ信号及び同期信号を 1 フレーム走査期間 0 又は 1 レベルに固定するマスキング回路とから構成されることを特徴とする請求項 1 記載の平面表示装置。

【請求項 3】 前記標準信号は、外部設定ピンで設定される所定のパルス発生回路から供給されることを特徴とする請求項 2 記載の平面表示装置。

【請求項 4】 前記マスキング回路は、パルス数をカウントし、異常が発生したフレーム走査期間の終了位置を検出するカウンタ回路を備えることを特徴とする請求項 2 記載の平面表示装置。

【請求項 5】 前記信号補償回路は、前記駆動回路部の前段に配置されたインターフェース回路に含まれることを特徴とする請求項 1 記載の平面表示装置。

【請求項 6】 画素電極、対向電極及びこれら電極間に介在された光変調層を含む表示画素がマトリクス状に配置された表示パネルと、外部から少なくともデータ信号、同期信号及びクロック信号を入力し、前記表示パネルの各画素電極に、前記データ信号に基づく信号電圧を前記同期信号及びクロック信号に同期して出力する駆動回路部とを備えた平面表示装置の駆動方法において、外部から入力した前記同期信号を監視し、前記同期信号の異常を検出したときは、少なくとも前記データ信号及び同期信号を所定期間一定レベルに固定することを特徴とする平面表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部から供給される同期信号へのノイズの混入又は誤変換の影響をなくし、良好な表示画像を得ることができる平面表示装置及びその駆動方法に関する。

【0002】

【従来の技術】近年、液晶表示装置に代表される平面表示装置は、薄型、軽量であることに加えて低消費電力であることから、OA 機器や家電製品のディスプレイ装置

として幅広く用いられている。

【0003】図 4 は、平面表示装置を備えたパーソナルコンピュータ（PC）の一般的な回路構成を示すブロック図である。図 4 において、平面表示装置 1 のコントロール IC 2 と PC プロセッサ 4 の GUI 5 との間は、それぞれの I/F 部 3 及び 6 を介して接続されており、GUI 5 から送られたデータ信号、同期信号及びクロック信号（以下、データ信号など）はコントロール IC 2 で所定の変換処理が施された後、表示パネル（図示せず）へ送られている。

【0004】このような平面表示装置 1 と制御回路 4 との間での信号伝送においては、EMI（電波障害）ノイズの影響を減らすため、データ信号などを差動信号として送信する方式が採用されている。この差動信号による信号伝送を行うため、各 I/F 部には L V D S 回路（図示せず）が設けられている。PC プロセッサ 4 側の I/F 部 6 では、L V D S 送信回路でパラレルデータをシリアルデータに変換することで周波数を高くする処理を行い、これらのデータ信号などを差動信号として信号電圧（振幅）を下げて送信する。一方、平面表示装置 1 側の I/F 部 3 では、受信したデータ信号などを所定の信号変換回路でシリアル-パラレル変換し、さらに L V D S 受信回路で差動信号の電圧や周波数を元に戻すなどの処理を行う。このような差動信号による信号伝送では、データ信号の電圧を小さくできるので EMI ノイズの影響を減らすことができる。

【0005】

【発明が解決しようとする課題】ところで、差動信号として送信されるデータ信号などのうち、とくに同期信号にノイズが混入したり、I/F 部 3 で信号が誤変換されると、次段のコントロール IC 2 において誤った動作が行われることがある。例えば、図 5（a）に示すような同期信号において、信号の立ち上がりエッジでタイミングを検出するとした場合に、図 5（b）の符号 a、b で示すようなノイズが混入したとすると、本来の信号の位置とは異なる位置で立ち上がりエッジが検出されてしまうため、結果として画面表示がちらつくなどの誤動作を生じることになる。

【0006】この発明の目的は、ノイズの混入や誤変換による画面表示のちらつきをなくし、良好な表示画像を得ることができる平面表示装置及びその駆動方法を提供することを特徴とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、この発明に係わる平面表示装置は、画素電極、対向電極及びこれら電極間に介在された光変調層を含む表示画素がマトリクス状に配置された表示パネルと、外部から少なくともデータ信号、同期信号及びクロック信号を入力し、前記表示パネルの各画素電極に、前記データ信号に基づく信号電圧を前記同期信号及びクロック信号に

同期して出力する駆動回路部とを備えた平面表示装置において、前記駆動回路部は、外部から入力した前記同期信号の異常を検出したときに、少なくとも前記データ信号及び同期信号を所定期間一定レベルに固定する信号補償回路を含むことを特徴とする。

【0008】また、この発明に係わる平面表示装置の駆動方法は、画素電極、対向電極及びこれら電極間に介在された光変調層を含む表示画素がマトリクス状に配置された表示パネルと、外部から少なくともデータ信号、同期信号及びクロック信号を入力し、前記表示パネルの各画素電極に、前記データ信号に基づく信号電圧を前記同期信号及びクロック信号に同期して出力する駆動回路部とを備えた平面表示装置の駆動方法において、外部から入力した前記同期信号を監視し、前記同期信号の異常を検出したときは、少なくとも前記データ信号及び同期信号を所定期間一定レベルに固定することを特徴とする。

【0009】上記構成によれば、外部から入力した同期信号にノイズが混入するなどして異常が検出されると、データ信号と同期信号は所定期間一定レベルに固定されるので、次段のコントロール IC などにおいては、本来の信号の位置とは異なる位置で立ち上がりエッジが検出されることがなくなり、結果として画面表示がちらつくなどの誤動作が防止される。

【0010】

【発明の実施の形態】以下、この発明に係わる平面表示装置及びその駆動方法を、パーソナルコンピュータの液晶表示装置とその駆動方法に適用した場合の実施形態について説明する。

【0011】図1は、この実施形態に係わる液晶表示装置を備えたパーソナルコンピュータの回路構成を示すブロック図である。

【0012】図1に示す液晶表示装置10は、 $n \times m$ 個の表示画素がマトリクス状に配置された液晶パネル11と、この液晶パネル11を駆動するためのXドライバ12及びYドライバ13と、これらドライバにデータ信号や同期信号などの各種の信号を供給するコントロール IC 14と、外部からの信号を入力するための I/F 部15とから構成されている。

【0013】このうち、Xドライバ12、Yドライバ13及びコントロール IC 14は、液晶表示装置10の駆動回路部を構成している。

【0014】液晶パネル11は、バックライト（図示せず）からの光源光を用いて表示する光透過型の表示パネルである。信号線 X1、X2・・・Xm と走査線 Y1、Y2・・・Yn との交点近傍には、活性層に非晶質シリコン（a-Si）が用いられた TFT、画素電極、対向電極及びこれら電極間に保持される光変調層としての液晶層など（いずれも図示せず）が配置されている。

【0015】Xドライバ（信号線駆動回路）12は、シフトレジスタ、D/Aコンバータ及びラッチ回路を含

み、水平クロック信号（CPH）及び水平同期信号（STH）とともに入力されるデータ信号（DATA）を、アナログの映像信号として信号線 X1、X2・・・Xm に出力する。

【0016】Yドライバ（走査線駆動回路）13は、シフトレジスタ及びバッファを含み、垂直クロック信号（CPV）及び垂直同期信号（STV）に基づいて、走査線 Y1、Y2・・・Yn に走査信号を出力する。

【0017】コントロール IC 14は、後述する PC プロセッサ16から供給されるデジタルのデータ信号のタイミングを制御するタイミング制御部（図示せず）と、PC プロセッサ16から供給される同期信号及びクロック信号に基づいて、Xドライバ12には CPH 及び STH を、Yドライバ13には CPV 及び STV をそれぞれ供給する回路（図示せず）とを備えている。なお、前記同期信号は垂直同期信号と水平同期信号からなる複合同期信号として入力され、コントロール IC 14 の出力側で2つの信号に分離される。

【0018】またコントロール IC 14は、PC プロセッサ16から供給される同期信号を監視し、その信号波形にノイズの混入や誤変換による異常を検出したときには、データ信号及び同期信号のそれぞれの信号波形を1水平走査期間あるいは1フレーム走査期間といった所定期間だけ“L”又は“H”レベルに固定（この実施形態では“L”レベルに固定）する信号補償回路21を備えている。

【0019】I/F 部15は、PC プロセッサ16から複数のシリアルデータとして送信された差動信号を LVDS 受信回路（図示せず）でパラレルデータに変換するとともに、前記差動信号の電圧を元に戻すなどの処理を行い、コントロール IC 14 へ受け渡している。

【0020】PC プロセッサ16は、GUI 17 及び I/F 部18から構成されている。GUI 17 から送られたデータ信号、同期信号及びクロック信号に対し、I/F 部18は内蔵する LVDS 送信回路（図示せず）でデータ信号などのデータをパラレル-シリアル変換して信号電圧を下げ、差動信号としてコントロール IC 14 側へ送信する。

【0021】次に、コントロール IC 14 に含まれる信号補償回路21の回路構成を説明するとともに、その動作について説明する。

【0022】図2は、信号補償回路21の回路構成を示すブロック図である。信号補償回路21は、信号比較回路22とマスキング回路23とから構成されている。

【0023】信号比較回路22は、PC プロセッサ16から送られてきた同期信号の信号波形の異常を監視する回路であり、PLLを含む回路により構成されている。この信号比較回路22では、I/F 部15で所定の変換処理がなされた同期信号と、外部設定ピン24で設定されたパルス発生回路（図示せず）から供給される標準信

10

20

30

40

50

号とを比較し、2つの信号波形の波形が一致する場合はマスキング回路23へ何も出力せず、一致しない場合にのみ異常検出信号をマスキング回路23へ出力する。

【0024】信号比較回路22には複数の外部設定ピン24が用意されており、ピンの接続位置により、目的の周波数で駆動するパルス発生回路と接続することができる。例えば、XGAサイズでフレーム周波数60Hz、クロック周波数65MHzの場合、水平周期60.004Hz、垂直周期48.363KHzの標準信号を発生するパルス発生回路を外部設定ピンで設定する。なお、標準信号の作成は外部から入力されるクロック信号から

カウントする方式を用いてもよい。

【0025】マスキング回路23は、信号比較回路22から異常検出信号を受け取ると、入力されたデータ信号と同期信号を例えば1フレーム走査期間だけ“L”レベル（又は“H”レベル）に固定する。マスキング回路23にはカウンタ回路（図示せず）が設けられており、信号比較回路22から異常検出信号を受け取ったとき、例えばクロック信号のパルス数をカウントすることで、異常が発生したフレーム走査期間の終了位置を検出する。そして、1フレーム走査期間が終了した時点でデータ信号と同期信号に対する“L”レベルの固定を解除する。また、次のフレーム走査期間内に異常検出信号を受け取った場合は、さらに1フレーム走査期間だけデータ信号と同期信号を“L”レベルに固定する。以降、同様にして異常検出信号を受け取るごとに1フレーム走査期間だけデータ信号と同期信号を“L”レベルに固定する。

【0026】図3は、信号比較回路22に入力される標準信号とマスキング回路23から出力される同期信号の信号波形を示すタイミングチャートである。なお、図3では説明を容易にするため、実際の標準信号及び同期信号の信号波形を簡略化して描いている。

【0027】図3（a）は標準信号の信号波形、図3（b）は正常な同期信号に符号aで示すようなノイズが混入した状態を示している。信号比較回路22は、PCプロセッサ16から送られてきた同期信号の信号波形と、外部設定ピン24から供給される標準信号の信号波形とを比較する。ここで、2つの信号波形が略一致する場合は、マスキング回路23へ異常検出信号を出力することではなく、マスキング回路23からは入力した同期信号（及びデータ信号）がそのまま出力される。一方、2つの信号波形が一致しない場合、すなわち波形の比較が符号aで示すノイズ部分に達した場合、信号比較回路22は異常検出信号をマスキング回路23へ出力する。マスキング回路23は、信号比較回路22から異常検出信号を受け取ると、図3（c）に示すように、入力された同期信号に対応する1フレーム走査期間だけ“L”レベルに固定して出力する。その後、対応する1フレーム走査期間が終了した時点で同期信号（及びデータ信号）に対する“L”レベルの固定を解除して出力する。

【0028】なお、図3では同期信号を“L”レベルに固定する例について示したが、同様にデータ信号についても同一期間“L”レベルに固定することはいうまでもない。

【0029】このように、同期信号にノイズが混入した際に同期信号及びデータ信号を所定期間、例えば1フレーム走査期間だけ“L”レベル（又は“H”レベル）に固定した場合、画面表示は1フレームだけ全面が白又は黒で表示されることになるが、本来の信号の位置とは異なる位置（例えば符号aの位置）で立ち上がりエッジが検出されることがないため、結果として画面表示がちらつくなどの誤動作を防止することができるようになり、従来に比べて良好な表示画像を得ることが可能となる。

【0030】上記実施形態では、信号補償回路21をコントロールIC14内に配置した例を示したが、信号補償回路21はI/F部15内に配置することもできる。

【0031】また上記実施形態では、異常検出信号の発生とともにデータ信号と同期信号を1フレーム走査期間だけ“L”レベルに固定するようにしているが、異常検出信号の発生が一定回数連続した場合には、データ信号と同期信号を1フレーム走査期間を越えて“L”レベル（又は“H”レベル）で固定したままとするようにしてもよい。

【0032】

【発明の効果】以上説明したように、この発明に係わる平面表示装置及びその駆動方法によれば、外部から入力される同期信号を監視し、その異常を検出したときには少なくともデータ信号と同期信号を所定期間だけ一定レベルに固定するようにしたので、コントロールICで本来の位置とは異なる位置で信号を検出するような不具合を生じることがない。したがって、同期信号に対しノイズの混入や誤変換が生じた場合でも、画面表示のちらつきなどの誤動作を防止することができるので、従来に比べて良好な表示画像を得ることができる。

【図面の簡単な説明】

【図1】実施形態に係わる液晶表示装置を備えたパーソナルコンピュータの回路構成を示すブロック図。

【図2】信号補償回路の回路構成を示すブロック図。

【図3】信号比較回路に入力される標準信号とマスキング回路から出力される同期信号の信号波形を示すタイミングチャート。

【図4】平面表示装置を備えたパーソナルコンピュータの一般的な回路構成を示すブロック図。

【図5】正常な同期信号とノイズの混入した同期信号の信号波形を示すタイミングチャート。

【符号の説明】

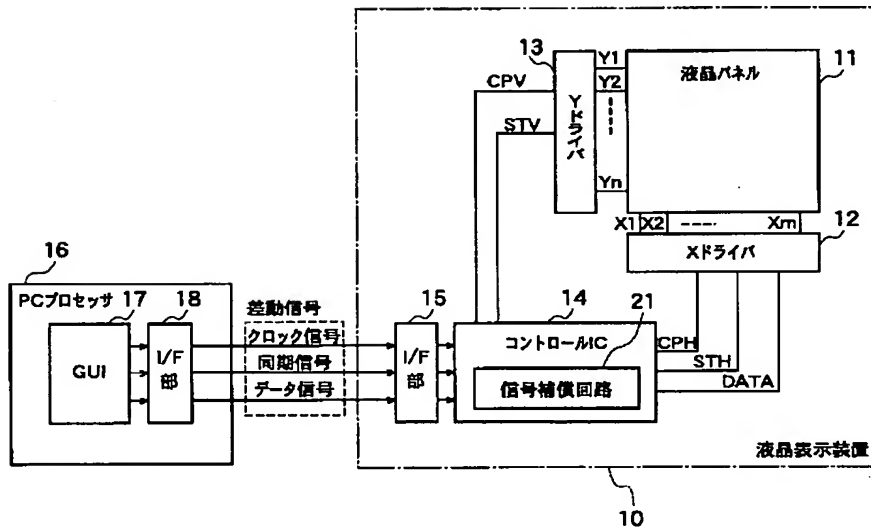
- 11 液晶パネル
- 12 Xドライバ
- 13 Yドライバ
- 14 コントロールIC

15、18 I/F部
16 PCプロセッサ
17 GUI
21 信号補償回路

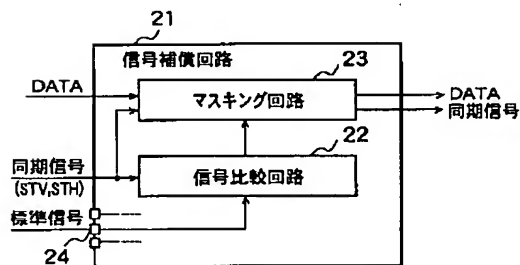
* 22 信号比較回路
23 マスキング回路
24 外部設定ピン

*

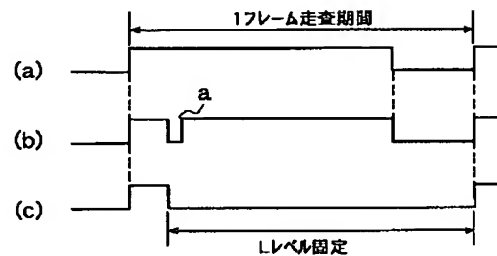
【図1】



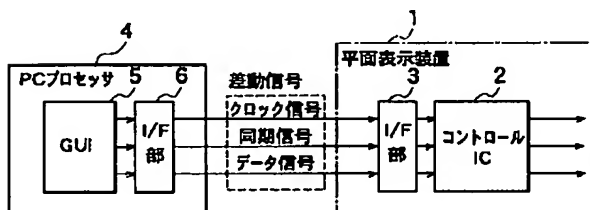
【図2】



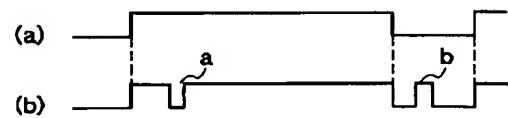
【図3】



【図4】



【図5】



フロントページの続き

F ターム(参考) 2H093 NC27 NC34 NC58 NC59 NC64
ND10 ND40 NE07
5C006 AB05 AC02 AF44 AF59 AF65
AF78 BB16 BC03 BC06 BC13
BC16 BF03 BF04 BF15 BF49
EC05 FA23
5C080 AA10 BB05 DD06 DD09 DD30
EE32 FF09 JJ02 JJ04 KK02